

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION
Publication No. 3-165118

2. Scope of Claim

1) A switched capacitor circuit comprising:

two switched capacitor circuits for a complementary operation which are capable of canceling an offset voltage of an operational amplifier by cutting between an inverted input terminal and an output terminal of the operational amplifier in a first period so that the offset voltage obtains a canceled output signal in a second period; and an output selecting circuit for alternately selecting and taking out, by a given period, the output in the second period of the two switched capacitor circuits.

[Problems that the Invention is to Solve]

As shown in Fig. 4D, an operational amplifier 1 outputs an output of an analog reference voltage AG (accurately, sum of analog reference voltage AG and offset voltage of operational amplifier 1) during cut between an output terminal and an inverted input terminal, which means no voltage corresponding to an input signal obtained. Accordingly, some technique such as setting of a sampling timing which avoids a period not corresponding to the input signal, or the like is necessitated in a circuit of a next stage connected with the above circuit.

In view of the above, the present invention has its object of providing a switched capacitor which cancels the offset voltage of the operational amplifier and takes out the output continuously.

[Means of Solving the Problems]

In the present invention, a switched capacitor circuit comprises: two switched capacitor circuits for a complementary operation which are capable of canceling an offset voltage of an operational amplifier by cutting between an inverted input terminal and an output terminal of the operational amplifier in a first period so that the offset voltage obtains a canceled output signal in a second period; and an output selecting circuit for alternately selecting and taking out, by a given period, the output in the second period of the two switched capacitor circuits.

[Operation]

Each of the two switched capacitor circuits outputs a voltage corresponding to an input signal in the second period and does not output the voltage in the first period, and complementarily operates so as not to overlap the first period with each other. Accordingly, the output of the switched capacitor which is capable of obtaining the output is selected by a selecting circuit, thereby continuously obtaining the output.

⑫ 公開特許公報 (A) 平3-165118

⑬ Int. Cl. 5

H 03 H 19/00

機別記号

庁内整理番号

8837-5J

⑭ 公開 平成3年(1991)7月17日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 スイッチトキャバシタ回路

⑯ 特 願 平1-303100

⑯ 出 願 平1(1989)11月24日

⑰ 発明者 岩元 重成 神奈川県厚木市棚沢221番地 旭化成マイクロシステム株式会社内

⑱ 出願人 旭化成マイクロシステム株式会社 東京都渋谷区代々木1丁目11番2号

⑲ 代理人 弁理士 谷 義一

明細書

1. 発明の名称

スイッチトキャバシタ回路

2. 特許請求の範囲

1) 第1の期間に演算増幅器の反転入力端と出力端とを短絡して前記演算増幅器のオフセット電圧をキャンセルし、第2の期間に前記オフセット電圧がキャンセルされた出力信号を得るようなスイッチトキャバシタ回路を互いに相補的に動作するように2つ設け、該2つのスイッチトキャバシタ回路の第2の期間の出力を一定周期で相互に選択して取り出す出力選択回路を設けたことを特徴とするスイッチトキャバシタ回路。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、スイッチトキャバシタ回路に関し、更に詳しくはスイッチトキャバシタ回路に用いられる演算増幅器のオフセット電圧を補償できるスイッチトキャバシタ回路に関する。

【従来の技術】

アナログ信号を取り扱う分野において、消費電力の点および集積化しやすいことからスイッチトキャバシタ回路がよく用いられている。特に演算増幅器のオフセット電圧が影響を及ぼす場合には、第3図に示すようなオフセットフリーのスイッチトキャバシタ回路が用いられる。例えば、ローパスフィルタとして構成されている第3図において、1は演算増幅器であり、MOSスイッチ7により反転入力端と出力端が短絡される。演算増幅器1の非反転入力端はアナログ基準電圧AGに接続され、反転入力端はコンデンサ2とMOSスイッチ5、6により構成された等価的な入力抵抗に

(以下余白)

接続されている。入力信号（第4図C）は、入力端子1に接続されている。さらに、演算増幅器1の反転入力端と出力端の間には帰還コンデンサとして機能するコンデンサ4とMOSスイッチ10が直列に接続され、さらにコンデンサ3とMOSスイッチ8、9により構成された等価的な帰還抵抗として機能する回路が接続されている。MOSスイッチ5～10は第4図に示すようなクロックパルスΦ1、Φ2で駆動される。MOSスイッチ5、7、9はクロックパルスΦ1=Highでオンし、Φ1=Lowでオフする。さらに、MOSスイッチ6、8、10はクロックパルスΦ2=Highでオンし、クロックパルスΦ2=Lowでオフする。クロックパルスΦ1、Φ2はノンオーバーラップのクロックパルスであり、共にオンする事はない。

第1の期間、すなわちΦ1=Highのときに演算増幅器1の出力端と反転入力端とが短絡され演算増幅器1のオフセット電圧がノードAに加えられる。同時に、入力電圧はオフセット電圧が差し引かれてコンデンサ2に蓄えられる。次に、第2の

期間、すなわちΦ2=Highの時にコンデンサ2に蓄えられた電荷はコンデンサ3および4に移され、この時、出力電圧が出力端子0に供給される。

【発明が解決しようとする課題】

演算増幅器1の出力信号は第4図Dに示すように、出力端と反転入力端とが短絡されている間、アナログ基準電圧AG（正確にはアナログ基準電圧AGと演算増幅器1のオフセット電圧との和）が出力されており、入力信号に対応した電圧が得られない。従って、本回路に接続される次段の回路は、このような入力信号に対応しない期間を避けるようなサンプリングのタイミングとするなどの工夫が必要であった。

本発明は、以上の点に鑑み、演算増幅器のオフセット電圧をキャンセルし、かつ出力を継続的に取り出すスイッチトキャバシタ回路を提供することを目的とする。

【課題を解決するための手段】

本発明は、第1の期間に演算増幅器の反転入力端と出力端とを短絡して前記演算増幅器のオフセット電圧をキャンセルし、第2の期間に前記オフセット電圧がキャンセルされた出力信号を得るようなスイッチトキャバシタ回路を互いに相補的に構成するように2つ設け、該2つのスイッチトキャバシタ回路の第2の期間の出力を一定周期で相互に選択して取り出す出力選択回路を設けたことを特徴とする。

【作用】

2つのスイッチトキャバシタ回路はそれぞれ入力信号に対応した電圧を出力する第2の期間と前記電圧を出力しない第1の期間とを有し、第1の期間が重ならないように相補的に動作する。従って、出力を得られる状態のスイッチトキャバシタ回路の出力を選択回路で選択することにより継続的に出力を得られる。

【実施例】

次に、図面により本発明の実施例を、説明する。

第1図は本発明のスイッチトキャバシタ回路の一例である。第1図において、20,30はスイッチトキャバシタ回路であって、構成はそれぞれ第3図のスイッチトキャバシタ回路と同様であり、同じ構成要素にはサフィックスa,bが付与されている。それぞれのスイッチトキャバシタ回路は第2図A～Dに示すようなクロックパルスΦ3～Φ6により駆動され入力信号をサンプルして、それぞれ出力A（第2図F）、出力B（第2図G）を出力する。クロックパルスΦ3とΦ4およびΦ5とΦ6はそれぞれノンオーバーラップのクロックパルスであり、Φ4とΦ6は並なってオンしてもよい。

40は出力選択回路であって、MOSスイッチ11,12からなりそれぞれ第2図H, IのクロックパルスΦA, ΦBで駆動され、それぞれスイッチトキャバシタ回路20の出力とスイッチトキャバシ

タ回路30の出力とを選択する。MOSスイッチ11はクロックパルス $\Phi A = High$ のときにオンし、 $\Phi A = Low$ のときにオフし、MOSスイッチ12は $\Phi B = High$ のときにオンし、 $\Phi B = Low$ のときにオフする。 ΦA と ΦB は互いに反転した波形でよく、または一部並なってオンしてもよい。従って、クロックパルス ΦA 、 ΦB はそれぞれ $\Phi 4$ と $\Phi 6$ を用いてもよい。

このようにすると、MOSスイッチ11はスイッチトキャバシタ回路が入力に対応した信号を出力するときにオンして出力端子0に出力信号を出力し、MOSスイッチ12はスイッチトキャバシタ回路が入力信号に対応した信号を出力するときにオンして出力端子0に出力信号を出力する。

以上のように構成すると出力端子0には第2図Jのような出力が得られ演算増幅器1a, 1bのオフセット電圧がキャンセルされしかも継続して出力信号が出力される。第2図Jからわかるように見かけ上、クロックパルスの2倍の周期でサンプリングをしたのと同じ波形である。

いる。

4. 図面の簡単な説明

第1図は本発明の一実施例によるスイッチトキャバシタ回路を示す図。

第2図は第1図に示したスイッチトキャバシタ回路の信号波形図。

第3図は従来のオフセットフリーのスイッチトキャバシタ回路を示す図。

第4図は従来のスイッチトキャバシタ回路の信号波形を示す図である。

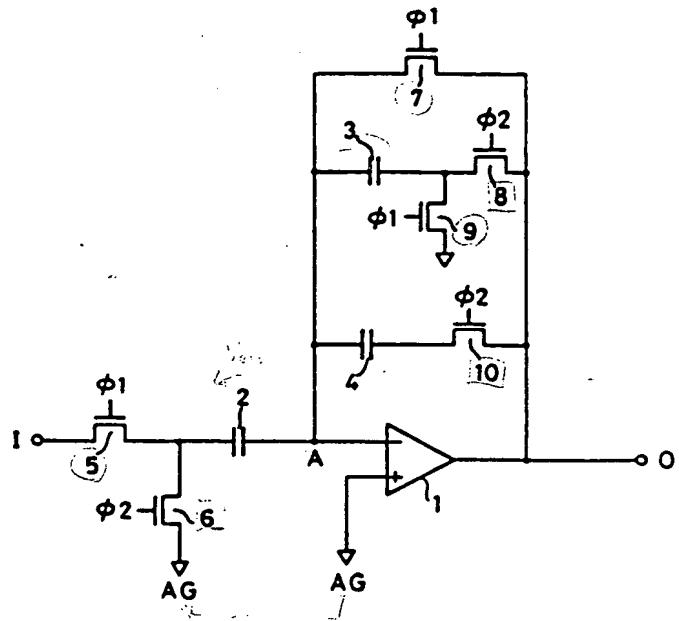
- 1…演算増幅器、
- 2, 30…スイッチトキャバシタ、
- 40…出力選択接続。

本実施例ではローパスフィルタとして構成した場合を示したが、演算増幅器の反転入力端と出力端との間に等価抵抗成分のみの回路で構成されたゲイン・アンプ、容量成分のみで構成された積分器等の回路を用いた場合にも同様の構成で良い。

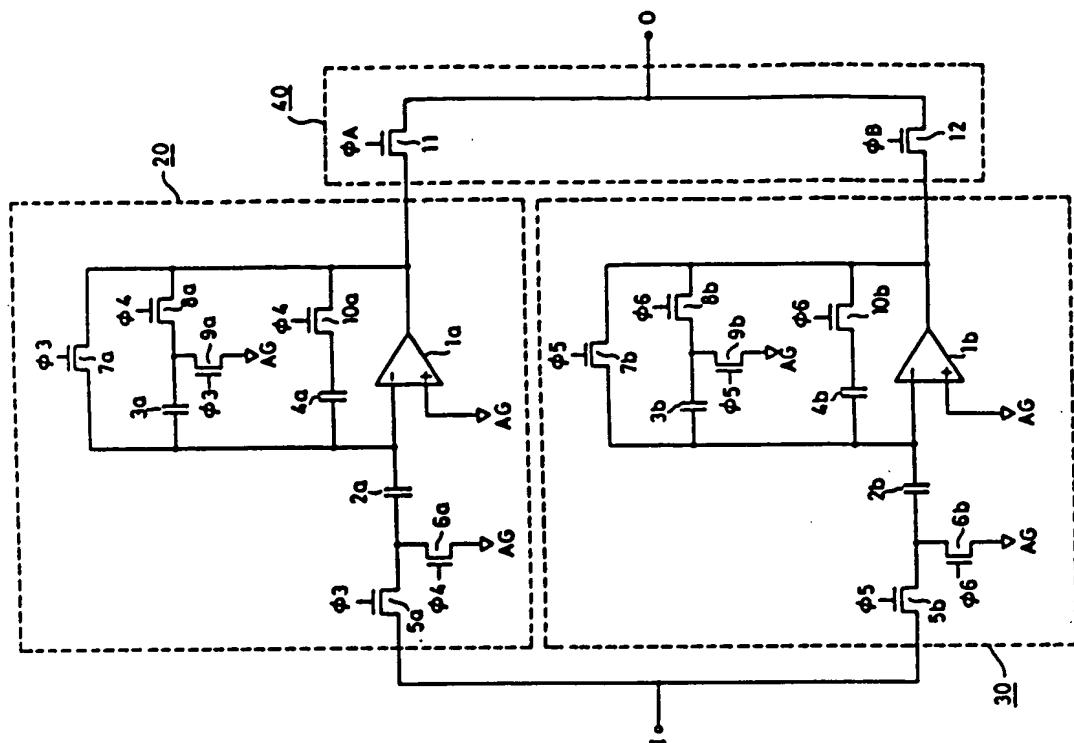
さらに等価入力抵抗の2つのMOSスイッチのオン・オフを逆にした場合、すなわち本実施例でMOSスイッチ5をクロックパルス $\Phi 2$ で、MOSスイッチ6をクロックパルス $\Phi 1$ で駆動させる場合においても同じ結果が得られる。

【発明の効果】

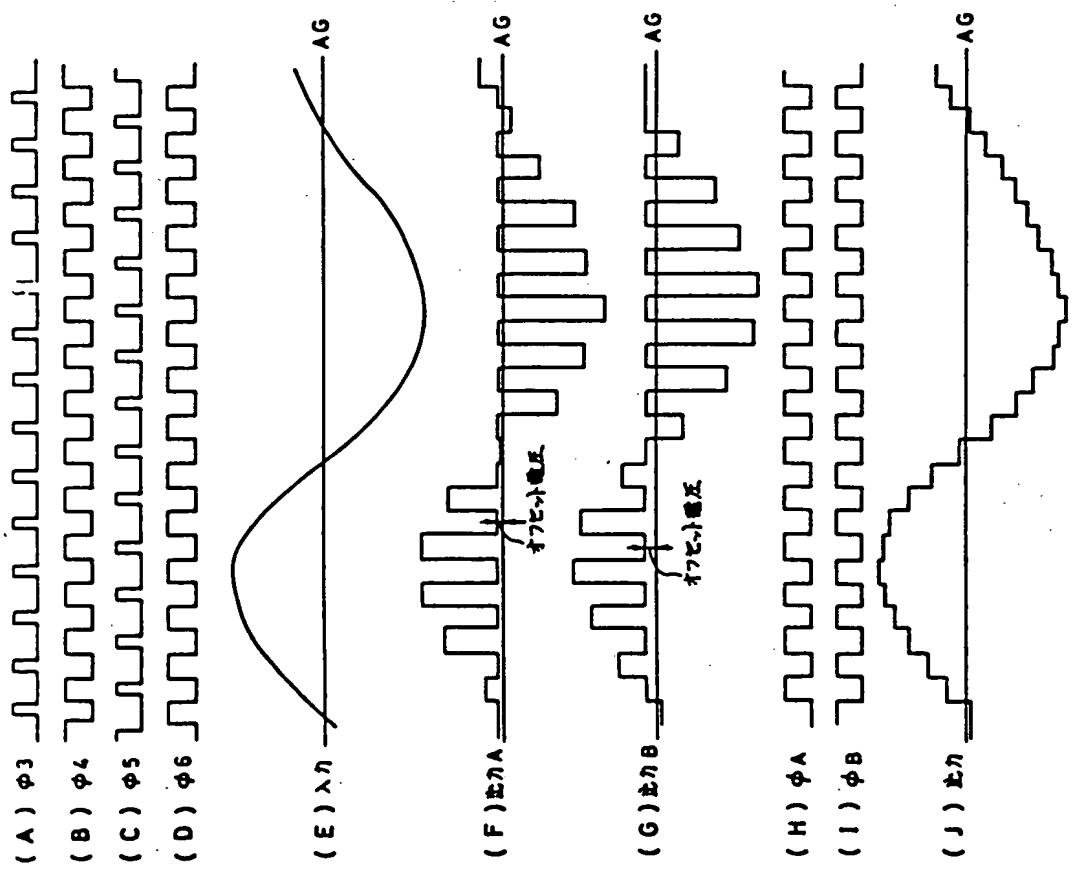
本発明により演算増幅器のオフセット電圧をキャンセルでき、しかも次段の回路では継続的にどのタイミングでもサンプリングができる。さらに、クロックパルスの立ち上がりと立ち下がりでサンプリングするのと同じ波形になるため、見かけ上クロックパルスの2倍の周期でサンプリングをしたのと同じ波形であり、出力の平滑性に優れ、出力信号の有するエネルギーは2倍になって



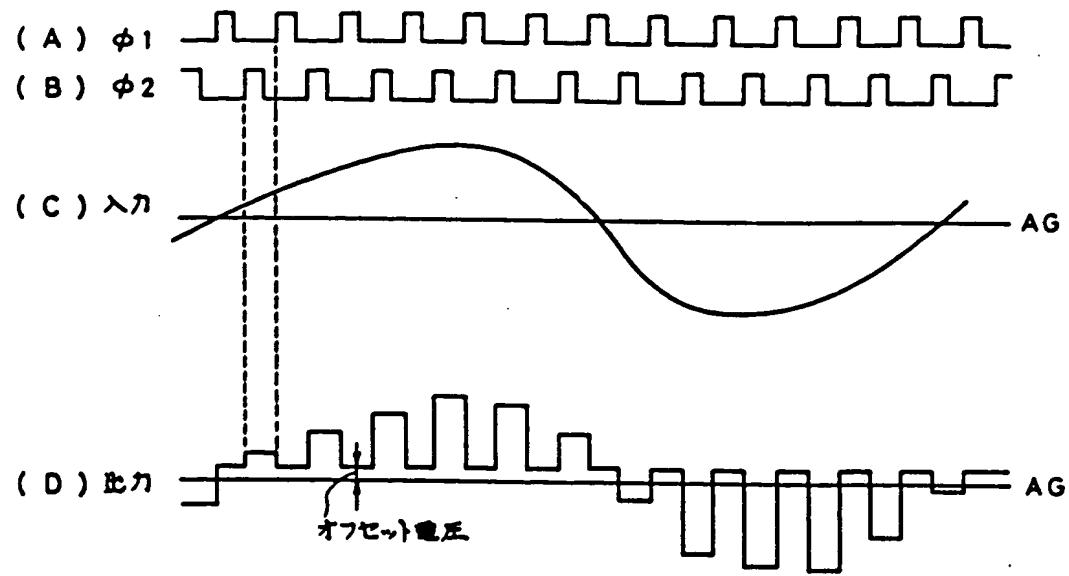
第3図



第1図



第2図



第4図